

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0085085
Application Number

출원년월일 : 2002년 12월 27일
Date of Application

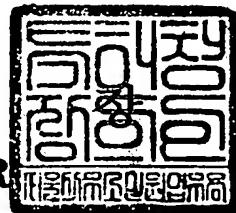
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특허청

COMMISSIONER





1020020085085

출력 일자: 2003/5/15

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0009		
【제출일자】	2002.12.27		
【발명의 명칭】	스페이서 식각 버퍼질화막을 적용한 시모스 이미지센서의 제조방법		
【발명의 영문명칭】	Method for fabricating CMOS image sensor with spacer etching buffer nitride layer		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	이주일		
【성명의 영문표기】	LEE, Ju Il		
【주민등록번호】	650901-1037829		
【우편번호】	463-060		
【주소】	경기도 성남시 분당구 이매동 금강아파트 102-503		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	3	면	3,000 원

1020020085085

출력 일자: 2003/5/15

【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】	269,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

본 발명은 시모스 이미지센서의 제조방법에 관한 것으로, 트랜지스터의 양 측벽에 구비되는 스페이서 형성시, 스페이서 식각 버퍼질화막을 도포하여 포토다이오드의 표면을 보호하여 암전류를 감소시킨 발명이다. 이를 위한 본 발명은 저전압 매몰 포토다이오드와 트랜지스터를 포함하여 이루어진 시모스 이미지센서의 제조방법에 있어서, 기판 상에 형성된 에피층의 일정영역에 활성영역과 필드영역을 정의하는 필드절연막을 형성하고, 상기 활성영역의 상기 에피층 상에 트랜지스터의 게이트를 형성하는 단계; 상기 필드절연막과 상기 트랜지스터의 게이트 사이의 에피층상에 이온주입용 산화막을 형성하고 그 하부의 에피층 내에 상기 저전압 매몰 포토다이오드용 도핑영역을 형성하는 단계; 전체 구조상에 스페이서 식각 버퍼질화막을 형성하고, 상기 스페이서 식각 버퍼질화막 상에 스페이서 형성용 산화막을 형성하는 단계; 전면식각을 실시하여 트랜지스터의 양 측벽에 스페이서를 형성하는 단계; 및 습식식각으로 상기 포토다이오드 표면에 잔존하는 상기 스페이서 식각 버퍼질화막을 제거하고, 상기 트랜스퍼 트랜지스터의 타측에 플로팅확산영역을 형성하는 단계를 포함하여 이루어진다.

【대표도】

도 2e

【색인어】

이미지센서, 포토다이오드, 스페이서, 암전류, 버퍼질화막

【명세서】**【발명의 명칭】**

스페이서 식각 버퍼질화막을 적용한 시모스 이미지센서의 제조방법{Method for fabricating CMOS image sensor with spacer etching buffer nitride layer}

【도면의 간단한 설명】

도1a는 통상적인 시모스 이미지센서의 단위화소 구조를 도시한 회로도,
도1b 내지 도1g는 종래기술에 따른 시모스 이미지센서의 제조방법을 도시한 공정단면도,
도2a 내지 도2f는 본 발명의 일실시예에 따른 시모스 이미지센서의 제조방법을 도시한 공정단면도,
도3a 내지 도3c는 본 발명의 일실시예에 따른 시모스 이미지센서에서 단파장을 갖는 빛이 포토다이오드로 입사하는 경우의 광 특성을 도시한 그래프.

도면의 주요부분에 대한 부호의 설명

30 : 기판 31 : 에피층

32 : 필드전연막

33a : 트랜스퍼 트랜지스터 게이트 폴리실리콘

33b : 리셋 트랜지스터 게이트 폴리실리콘

34 : 텅스텐 실리사이드 35 : 이온주입용 산화막

36 : 제 1 마스크 37 : 깊은 n형 이온주입영역

38 : p형 이온주입영역 39 : 스페이서 식각 버퍼질화막

40 : 스페이서 형성용 산화막 41 : 스페이서

42 : 제 2 마스크 43 : 플로팅확산영역

44 : 소스/드레인 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 시모스 이미지센서의 제조방법에 관한 것으로 특히, 스페이서 식각 버퍼질화막(buffer nitride)을 이용하여 스페이서(spacer) 형성을 위한 식각공정시에, 포토다이오드의 표면을 보호하여 암전류를 감소시킨 시모스 이미지센서의 제조방법에 관한 것이다.

<17> 일반적으로, 이미지센서라 함은 광학 영상(optical image)을 전기 신호로 변환시키는 반도체소자로서, 전하결합소자(CCD : charge coupled device)는 개개의 MOS(Metal-Oxide-Silicon) 캐패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 캐패시터에 저장되고 이송되는 소자이며, 시모스 이미지센서는 제어회로(control circuit) 및 신호처리회로(signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하여 화소수 만큼의 MOS트랜지스터를 만들고 이것을 이용하여 차례차례 출력(output)을 검출하는 스위칭 방식을 채용하는 소자이다.

<18> 잘 알려진 바와 같이, 칼라 이미지를 구현하기 위한 이미지센서는 외부로부터의 빛을 받아 광전하를 생성 및 축적하는 광감지부분 상부에 칼라 필터가 어레이되어 있다. 칼라필터어레이(CFA : Color Filter Array)는 레드(Red), 그린(Green) 및 블루(Blue)의 3가지 칼라로 이루어지거나, 옐로우(Yellow), 마젠타(Magenta) 및 시안(Cyan)의 3가지 칼라로 이루어진다.

<19> 또한, 이미지센서는 빛을 감지하는 광감지부분과 감지된 빛을 전기적 신호로 처리하여 데이터화하는 로직회로 부분으로 구성되어 있는바, 광감도를 높이기 위하여 전체 이미지센서 소자에서 광감지부분의 면적이 차지하는 비율(Fill Factor)을 크게 하려는 노력이 진행되고 있지만, 근본적으로 로직회로 부분을 제거할 수 없기 때문에 제한된 면적하에서 이러한 노력에는 한계가 있다. 따라서 광감도를 높여주기 위하여 광감지부분 이외의 영역으로 입사하는 빛의 경로를 바꿔서 광감지부분으로 모아주는 집광기술이 등장하였는데, 이러한 집광을 위하여 이미지센서는 칼리필터 상에 마이크로렌즈(microlens)를 형성하는 방법을 사용하고 있다.

<20> 도1a는 통상의 CMOS 이미지센서에서 1개의 포토다이오드(PD)와 4개의 MOS 트랜지스터로 구성된 단위화소(Unit Pixel)를 도시한 회로도로서, 빛을 받아 광전하를 생성하는 포토다이오드(100)와, 포토다이오드(100)에서 모아진 광전하를 플로팅확산영역(102)으로 운송하기 위한 트랜스퍼 트랜지스터(101)와, 원하는 값으로 플로팅확산영역의 전위를 세팅하고 전하를 배출하여 플로팅확산영역(102)를 리셋시키기 위한 리셋 트랜지스터(103)와, 소스 팔로워 버퍼 증폭기(Source Follower Buffer Amplifier) 역할을 하는 드라이브 트랜지스터(104), 및 스위칭(Switching) 역할로 어드레싱(Addressing)을 할 수 있도록

하는 셀렉트 트랜지스터(105)로 구성된다. 단위 화소 밖에는 출력신호(Output Signal)를 읽을 수 있도록 로드(load) 트랜지스터(106)가 형성되어 있다.

<21> 도1b 내지 도1g는 이러한 단위화소를 형성하는 제조공정을 트랜스퍼 트랜지스터와 리셋 트랜지스터를 중심으로 도시한 공정 단면도로서 이를 참조하면, 먼저 도1b에 도시된 바와같이 고농도의 p형 기판(10) 상에 저농도의 p형 에피층(11)을 형성한다. 이와 같이 저농도의 에피층(11)을 사용하는 이유는 포토다이오드의 공핍층 깊이를 증가시켜 특성을 향상시킬 수 있으며, 또한 고농도의 기판은 단위화소간의 크로스토크(cross talk)를 방지할 수 있기 때문이다.

<22> 다음으로, 에피층의 일정영역에 열산화막을 이용하여 활성영역과 필드영역을 정의하는 필드절연막(12)을 형성한다. 다음으로 활성영역 상에 게이트 절연막(미도시)과 게이트 폴리실리콘(13) 및 텅스텐 실리사이드(14)를 증착하고 이를 패터닝하여 트랜스퍼 트랜지스터(13a) 및 리셋 트랜지스터(13b)의 게이트를 형성한다. 도1b에는 도시되어 있지 않지만, 드라이브 트랜지스터(Dx) 및 셀렉트 트랜지스터(Sx)의 게이트 전극도 같이 패터닝된다.

<23> 다음으로 도1c 내지 도1d에 도시된 바와같이 포토다이오드가 형성될 영역을 오픈시키는 제 1 마스크(15)를 형성한 후, 고에너지 이온주입공정을 수행하여 포토다이오드용 n형 이온주입영역(16)을 트랜스퍼 트랜지스터(13a)와 필드절연막(12) 사이의 에피층(11) 내부에 형성한다. 연속적으로 저에너지 이온주입공정을 진행하여 포토다이오드용 p형 이온주입영역(17)을 상기 n형 이온주입영역(16)과 에피층의

표면 사이에 형성한다. 이와같은 공정을 통해 저전압 매몰 포토다이오드(Low Voltage Buried Photo Diode : LVPD)가 완성된다. 통상적으로 이온주입공정을 진행하는 경우에 고에너지를 이용한 이온주입공정으로부터 반도체 기판 표면을 보호하기 위한 산화막등이 사용되나 도1c 내지 도1d에는 도시하지 않았다.

<24> 다음으로 도1e 내지 도1f에 도시된 바와같이 트랜지스터의 게이트 전극의 양 측벽에 질화막 또는 산화막으로 구성된 스페이서(18)를 형성하기 위해, 스페이서 형성용 절연막(18)을 전체 구조 상에 증착한다. 이어서 도1f에 도시된 바와같이 전면 건식식각공정을 진행하여 게이트 전극의 양 측벽에 스페이서(18)를 형성한다.

<25> 이때, 포토다이오드의 표면이 상기 전면 건식식각공정에서 손상을 입게 되어 결정격자구조에 결함이 발생하게 된다. 이와같은 결함을 암전류를 발생시키는 소스로 작용한다. 암전류란 빛이 전혀 없는 상태에서도 포토다이오드에서 플로팅확산영역으로 이동하는 전자에 기인하는 것으로, 이러한 암전류는 주로 활성영역의 엣지 부분에 존재하는 각종 결함들(line defect, point defect, etc)이나 댕글링 본드(Dangling bond)에서 비롯된다고 보고되고 있으며, 암전류는 저조도 (low illumination) 환경에서는 심각한 문제를 야기할 수도 있다.

<26> 다음으로 도1g에 도시된 바와같이, 플로팅확산영역(20)과 소스/드레인 영역(21)을 형성하기 위한 제 2 마스크(19)를 형성하고 n형 이온주입공정을 진행한다. 다음으로 통상적인 후속공정을 진행하여 단위화소 제조공정을 마무리한다.

<27> 이와같은 종래기술에서는 스페이서 형성을 위한 전면식각시에 포토다이오드의 표면이 손상을 받게 되고, 손상을 받은 실리콘 표면에 존재하는 댕글링본드(dangling bond)등이 암전류를 유발할 수 있는 소스로 작용하는 문제점이 있었다.

<28> 또한, 포토다이오드로 입사하는 광은 절연막(주로 산화막)을 지나 에피층으로 입사하는데, 산화막과 같이 반사계수가 적은 물질로부터 에피층과 같이 반사계수가 큰 물질로 입사하는 경우에, 청색광과 같은 단파장을 가진 빛은 반사가 심하여 광감도가 떨어지는 문제가 있었다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 스페이서 식각 버퍼질화막을 사용하여 스페이서 형성을 위한 전면식각공정에서 포토다이오드의 표면을 보호하여 암전류를 감소시키며 또한, 포토다이오드 표면에 잔존한 스페이서 식각 버퍼질화막을 이용하여 단파장의 광에 대한 특성을 향상시킨 시모스 이미지센서의 제조방법을 제공함을 목적으로 한다.

【발명의 구성 및 작용】

<30> 상기한 목적을 달성하기 위한 본 발명은, 저전압 매몰 포토다이오드와 트랜지스터를 포함하여 이루어진 시모스 이미지센서의 제조방법에 있어서, 기판 상에 형성된 에피층의 일정영역에 활성영역과 필드영역을 정의하는 필드절연막을 형성하고, 상기 활성영역의 상기 에피층 상에 트랜지스터의 게이트를 형성하는 단계; 상기 필드절연막과 상기 트랜지스터의 게이트 사이의 에피층상에 이온주입용 산화막을 형성하고 그 하부의 에피층 내에 상기 저전압 매몰 포토다이오드용 도핑영역을 형성하는 단계; 전체 구조상에 스페이서 식각 버퍼질화막을 형성하고, 상기 스페이서 식각 버퍼질화막 상에 스페이서 형

성용 산화막을 형성하는 단계; 전면식각을 실시하여 트랜지스터의 양 측벽에 스페이서를 형성하는 단계; 습식식각으로 상기 포토다이오드 표면에 잔존하는 상기 스페이서 식각 베퍼질화막을 제거하고, 상기 트랜스퍼 트랜지스터의 타측에 플로팅화산영역을 형성하는 단계를 포함하여 이루어진다.

<31> 본 발명은 시모스 이미지센서의 제조방법에 관한 것으로 특히, 스페이서 형성을 위한 식각공정시에, 스페이서 식각 베퍼질화막을 이용하여 포토다이오드의 표면을 보호하여 암전류를 감소시킨 시모스 이미지센서의 제조방법에 관한 것이다.

<32> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

<33> 도2a 내지 도2f는 본 발명의 일실시예에 따른 시모스 이미지센서의 제조공정을 트랜스퍼 트랜지스터와 리셋 트랜지스터를 중심으로 도시한 도면으로, 이를 참조하여 본 발명의 일실시예에 따른 시모스 이미지센서를 설명한다.

<34> 먼저, 도2a에 도시된 바와같이 고농도의 p형 기판(30) 상에 저농도의 p형 에피층(31)을 형성한다. 이와 같이 저농도의 에피층(31)을 사용하는 이유는 포토다이오드의 공핍층 깊이를 증가시켜 특성을 향상시킬 수 있으며, 또한 고농도의 기판은 단위화소간의 크로스토크(cross talk)를 방지할 수 있기 때문이다.

<35> 다음으로, 에피층(31)의 일정영역에 소자분리막을 형성하는데, 소자분리막으로는 열산화막을 이용한 필드절연막(32)을 형성한다. 본 발명의 일실시예에서는 열산화막을

이용한 필드절연막을 소자분리막으로 사용하였으나, 트렌치 구조를 이용한 소자분리막을 사용할 수도 있다.

<36> 다음으로 활성영역 상에 게이트 절연막(미도시)과 게이트 폴리실리콘(33) 및 텅스텐 실리사이드(34)를 연속적으로 증착하고, 이를 패터닝하여 트랜스퍼 트랜지스터(33a) 및 리셋 트랜지스터(33b)의 게이트를 형성한다. 도2a에는 도시되어 있지 않지만, 드라이브 트랜지스터(Dx) 및 셀렉트 트랜지스터(Sx)의 게이트도 같이 패터닝된다.

<37> 다음으로 도2b내지 도2c에 도시된 바와같이 저전압 매몰 포토다이오드(Low Voltage Buried Photo Diode : LVBPD)를 형성하기 위한 이온주입공정을 진행하는데, 이와같은 이온주입공정시에 반도체 기판 표면이 손상되는 것을 방지하기 위하여 이온주입용 산화막(35)을 포토다이오드용 도핑영역이 형성될 에피층(31) 상에 형성한다. 이온주입용 산화막(35)은 100 ~500 Å의 두께를 갖게 형성된다.

<38> 다음으로, 포토다이오드가 형성될 영역을 오픈시키는 제 1 마스크(36)를 형성한 후, 고에너지 이온주입공정을 수행하여 포토다이오드용 n형 이온주입영역(37)을 트랜스퍼 트랜지스터(33a)와 필드절연막(32) 사이의 에피층(31) 내부에 형성한다. 연속적으로 제 1 마스크(36)를 이용한 저에너지 이온주입공정을 진행하여 포토다이오드용 p형 이온주입영역(38)을 상기 n형 이온주입영역(37)과 에피층(31)의 표면 사이에 형성한다. 이와 같은 공정을 통해 저전압 매몰 포토다이오드(Low Voltage Buried Photo Diode : LVBPD)가 완성된다.

<39> 다음으로 도2d에 도시된 바와같이 트랜스퍼 트랜지스터의 게이트(33a)와 리셋 트랜지스터의 게이트(33b) 및 이온주입용 산화막(35)을 포함하는 전체 구조상에 스페이서 식각 베퍼질화막(39)을 형성하고, 상기 스페이서 식각 베퍼질화막(39) 상에 스페이서 형성

용 산화막(40)을 형성한다. 스페이서 식각 버퍼질화막(39)은 100 ~ 500Å의 두께를 갖게 형성된다.

<40> 스페이서 식각 버퍼질화막(39)은 스페이서 형성용 산화막(40)을 전면식하여 스페이서(41)를 형성하는 공정에서 포토다이오드의 표면을 보호하기 위한 것이며, 상기 전면 식각공정에서 상당한 과도식각(over-etching)이 행해지더라도, 스페이서 식각 버퍼질화막(39)은 스페이서 형성용 산화막(40)과 비교하여 상당한 식각선택비를 갖고 있음으로, 포토다이오드의 표면을 보호하는데 아무 문제가 없다.

<41> 다음으로 도2e에 도시된 바와같이 전면 건식식각을 진행하여 트랜지스터 게이트 전극의 양 측벽에 산화막 스페이서(41)를 형성한다. 이후에 남아있는 스페이서 식각 버퍼질화막(39)은 습식식각법으로 제거한다. 본 발명의 일실시예에서는 스페이서 식각 버퍼질화막(39)을 이용하여 포토다이오드의 표면을 전면식각공정으로부터 보호하였으며 또한, 이러한 스페이서 식각 버퍼질화막(39)을 제거하는 경우에도 습식식각법을 이용함으로써 포토다이오드 표면에 가해지는 손상을 최소화하였다.

<42> 다음으로 도2f에 도시된 바와같이 플로팅확산영역과 소스/드레인 영역을 형성하기 위한 제 2 마스크(42)를 형성한 후, n형 이온주입공정을 진행하여 트랜스퍼 트랜지스터의 게이트(33a)와 리셋 트랜지스터의 게이트(33b) 사이에 플로팅확산영역을(43) 형성하며, 리셋 트랜지스터의 타측에는 소스/드레인 영역(44)을 형성한다. 다음으로 통상적인 후속공정을 진행하여 시모스 이미지센서를 완성한다.

<43> 본 발명의 다른 실시예에서는 스페이서 식각 버퍼질화막(39)을 제거하지 않고 잔존 시킬 수도 있는데, 이는 단파장인 청색광에 대한 광특성 향상을 위한 것이다. 본 발명의 다른 실시예에서는 도2e에 도시된 스페이서 식각 버퍼질화막(39)을 습식식각으로 제거

하지 않고, 포토다이오드의 표면에 잔존시켜 광특성을 향상시켰다. 이와같이, 포토다이오드의 표면에 잔존한 스페이서 식각 버퍼질화막(39)을 이용하여 청색광과 같은 단파장의 광에 대한 광특성을 향상시키는 방법에 대해 설명한다.

<44> 도3a 내지 도3c는 스페이서 식각 버퍼질화막(39)을 포토다이오드의 표면에 잔존시키고 스페이서 식각 버퍼질화막(39)의 하부에는 이온주입용 산화막(35)이 형성되어 있는 경우에, 포토다이오드 입사하는 빛의 투과율에 대한 실험결과를 도시한 그래프로서 이를 참조하여 설명한다.

<45> 도3a는 포토다이오드의 표면에 200Å의 두께를 갖는 이온주입 산화막(35)과 360 ~ 480Å의 두께를 갖는 스페이서 식각 버퍼질화막(39)이 적층되어 형성된 경우와 종래기술에 따른 일반적인 경우(도3a에서 'normal'로 표시)에, 포토다이오드로 입사하는 광의 투과율을 도시한 그래프로서, 광원으로 $0.45\mu\text{m}$ 또는 $0.55\mu\text{m}$ 의 파장을 갖는 빛을 사용하는 경우를 도시한 그래프이다.

<46> 도3a를 참조하면 종래의 일반적인 경우의 광투과율의 평균치와 광원으로 $0.45\mu\text{m}$ 또는 $0.55\mu\text{m}$ 의 파장을 갖는 빛을 사용하는 경우의 광투과율의 평균치가 도시되어 있다.(도3a에서 직선에 가까운 선으로 평균치를 표시함.)

<47> 청색광에 해당하는 단파장영역을 참조하면, 스페이서 식각 버퍼질화막(39)과 이온주입 산화막(35)이 적층된 경우에는 종래에 비해 광투과율이 증가하였음을 알 수 있다. 도3a에 도시된 그래프에서 X축은 빛의 파장을 나타내며(단위는 μm), Y 축은 광투과율을 나타낸다.



<48> 도3b는 포토다이오드의 표면에 300Å의 두께를 갖는 이온주입 산화막(35)과 260 ~ 380Å의 두께를 갖는 스페이서 식각 버퍼질화막(39)이 적층되어 형성된 경우와 종래기술에 따른 일반적인 경우에, 포토다이오드로 입사하는 광의 투과율을 도시한 그래프이고, 도3c는 포토다이오드의 표면에 500Å의 두께를 갖는 이온주입 산화막(35)과 180Å의 두께를 갖는 스페이서 식각 버퍼질화막(39)이 적층되어 형성된 경우와 종래기술에 따른 일반적인 경우에, 포토다이오드로 입사하는 광의 투과율을 도시한 그래프이다. 도3b 내지 도3c에서도 도3a에서와 같이 광원으로 $0.45\mu\text{m}$ 또는 $0.55\mu\text{m}$ 의 파장을 갖는 빛을 사용하였다.

<49> 도3b 내지 도3c 역시 도3a와 마찬가지로, 종래의 일반적인 경우의 광투과율의 평균치와 광원으로 $0.45\mu\text{m}$ 또는 $0.55\mu\text{m}$ 의 파장을 갖는 빛을 사용하는 경우의 광투과율의 평균치가 도시되어 있다.(도3b 내지 도3c에서 직선에 가까운 선으로 평균치를 표시함.)

<50> 도3b 내지 도3c를 참조하여 청색광에 해당하는 단파장영역을 참조하여 보면, 스페이서 식각 버퍼질화막(39)과 이온주입 산화막(35)이 적층된 경우에는 종래에 비해 광투과율이 증가하였음을 알 수 있다.

<51> 즉, 도3a 내지 도3c를 참조하여 보면, 포토다이오드이 표면에 이온주입 산화막(35)과 스페이서 식각 버퍼질화막(39)이 적층된 경우에는 청색광과 같이 단파장을 갖는 빛에 대해 광투과율이 향상됨을 알 수 있다.

<52> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지

치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

【발명의 효과】

<53> 본 발명을 이미지센서에 적용하면, 포토다이오드 표면이 손상되어 암전류의 소스로 작용하는 단점을 극복할 수 있으며 또한, 포토다이오드로 입사하는 단파장의 빛에 대해 광특성을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

저전압 매몰 포토다이오드와 트랜지스터를 포함하여 이루어진 시모스 이미지센서의 제조방법에 있어서,

기판 상에 형성된 에피층의 일정영역에 활성영역과 필드영역을 정의하는 필드절연막을 형성하고, 상기 활성영역의 상기 에피층 상에 트랜지스터의 게이트를 형성하는 단계;

상기 필드절연막과 상기 트랜지스터의 게이트 사이의 에피층상에 이온주입용 산화막을 형성하고 그 하부의 에피층 내에 상기 저전압 매몰 포토다이오드용 도핑영역을 형성하는 단계;

전체 구조상에 스페이서 식각 베퍼질화막을 형성하고, 상기 스페이서 식각 베퍼질화막 상에 스페이서 형성용 산화막을 형성하는 단계;

전면식각을 실시하여 트랜지스터의 양 측벽에 스페이서를 형성하는 단계; 및
습식식각으로 상기 포토다이오드 표면에 잔존하는 상기 스페이서 식각 베퍼질화막을 제거하고, 상기 트랜스퍼 트랜지스터의 타측에 플로팅확산영역을 형성하는 단계
를 포함하여 이루어진 시모스 이미지센서의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 이온주입 산화막은 100 ~ 500Å의 두께로 형성되며, 상기 스페이서 식각 버퍼질화막은 100 ~ 500Å의 두께로 형성되는 것을 특징으로 하는 시모스 이미지센서의 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 저전압 매몰 포토다이오드용 도핑영역를 형성하는 공정은,
상기 상기 저전압 매몰 포토다이오드용 도핑영역을 오픈시키는 마스크를 이용하여
연속적으로 n형 이온주입 및 p형 이온주입을 수행하는 것을 특징으로 하는 시모스 이미
지센서의 제조방법.

【청구항 4】

저전압 매몰 포토다이오드와 트랜지스터를 포함하여 이루어진 시모스 이미지센서의
제조방법에 있어서,

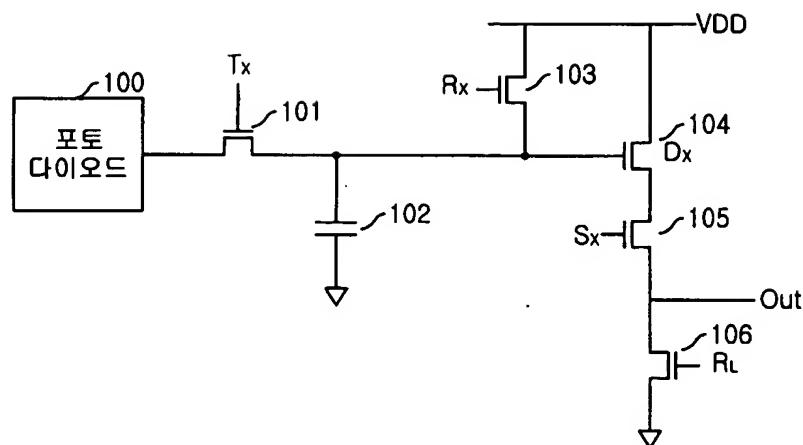
기판 상에 형성된 에피층의 일정영역에 활성영역과 필드영역을 정의하는 필드절연
막을 형성하고, 상기 활성영역의 상기 에피층 상에 트랜지스터의 게이트를 형성하는 단
계;

상기 필드절연막과 상기 트랜지스터의 게이트 사이의 에피층상에 이온주입용 산화
막을 형성하고 그 하부의 에피층 내에 상기 저전압 매몰 포토다이오드용 도핑영역을 형
성하는 단계;

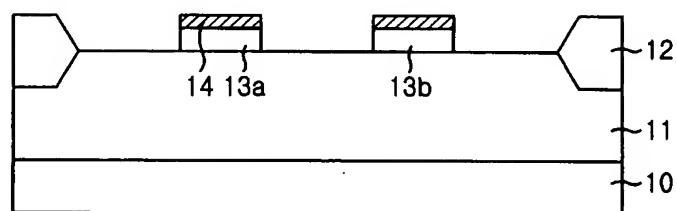
전체 구조상에 스페이서 식각 버퍼질화막을 형성하고, 상기 스페이서 식각 버퍼질화막 상에 스페이서 형성용 산화막을 형성하는 단계; 전면식각을 실시하여 트랜지스터의 양 측벽에 스페이서를 형성하는 단계; 및 상기 트랜스퍼 트랜지스터의 타측에 플로팅확산영역을 형성하는 단계를 포함하여 이루어진 시모스 이미지센서의 제조방법.

【도면】

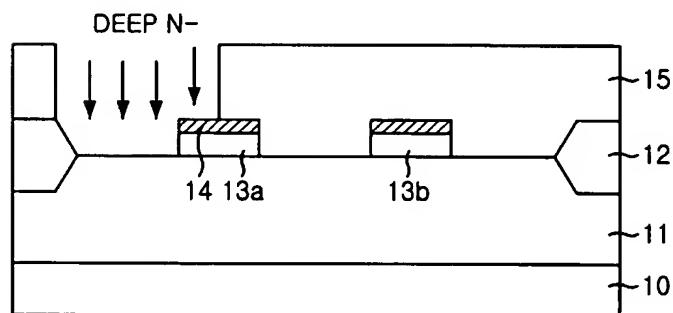
【도 1a】



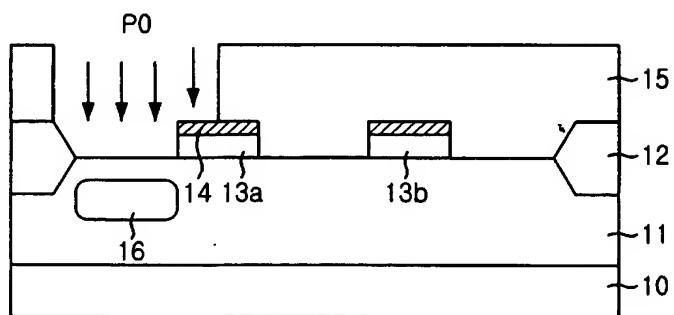
【도 1b】



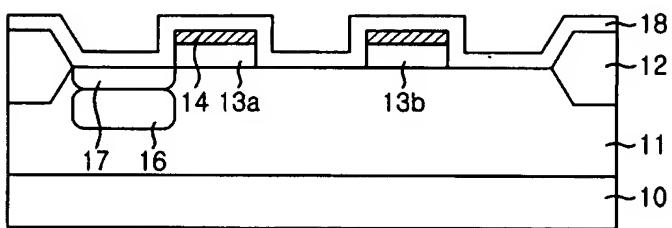
【도 1c】



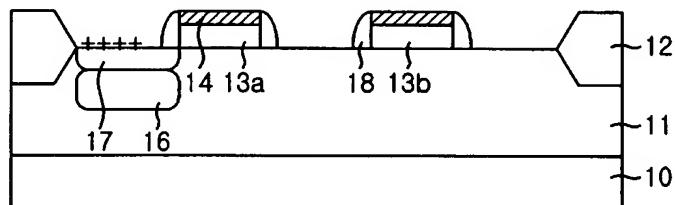
【도 1d】



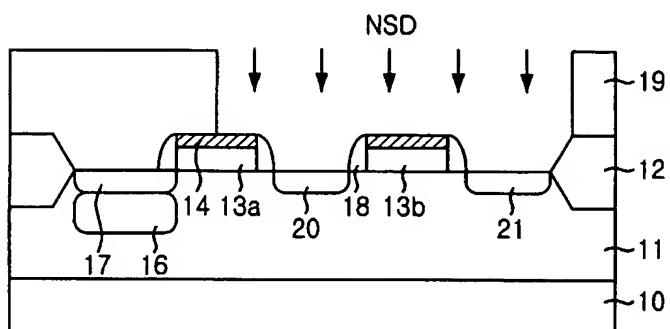
【도 1e】



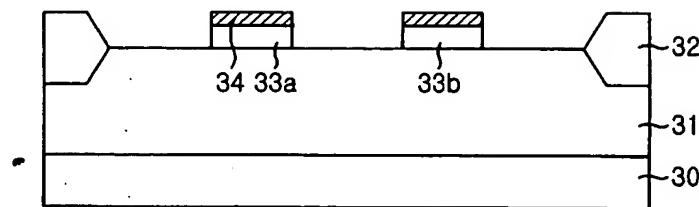
【도 1f】



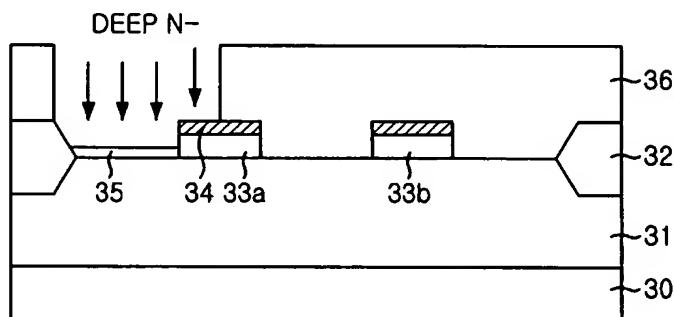
【도 1g】



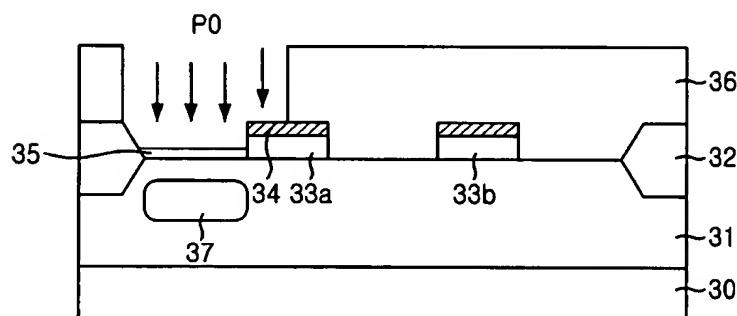
【도 2a】



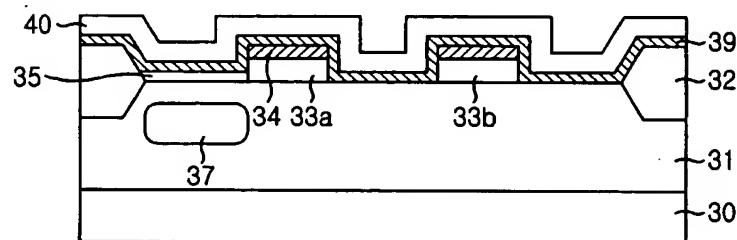
【도 2b】



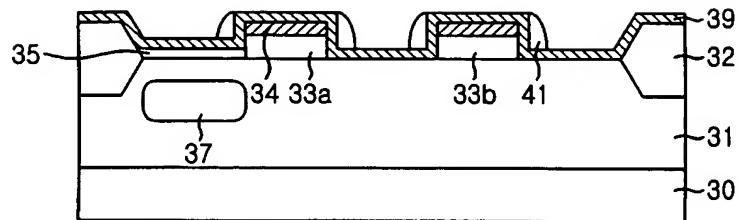
【도 2c】



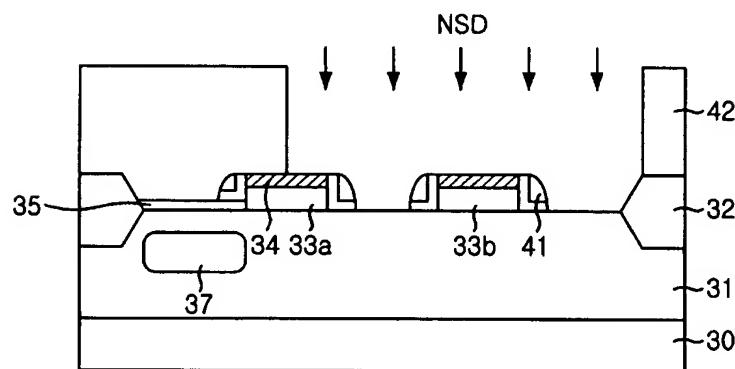
【도 2d】



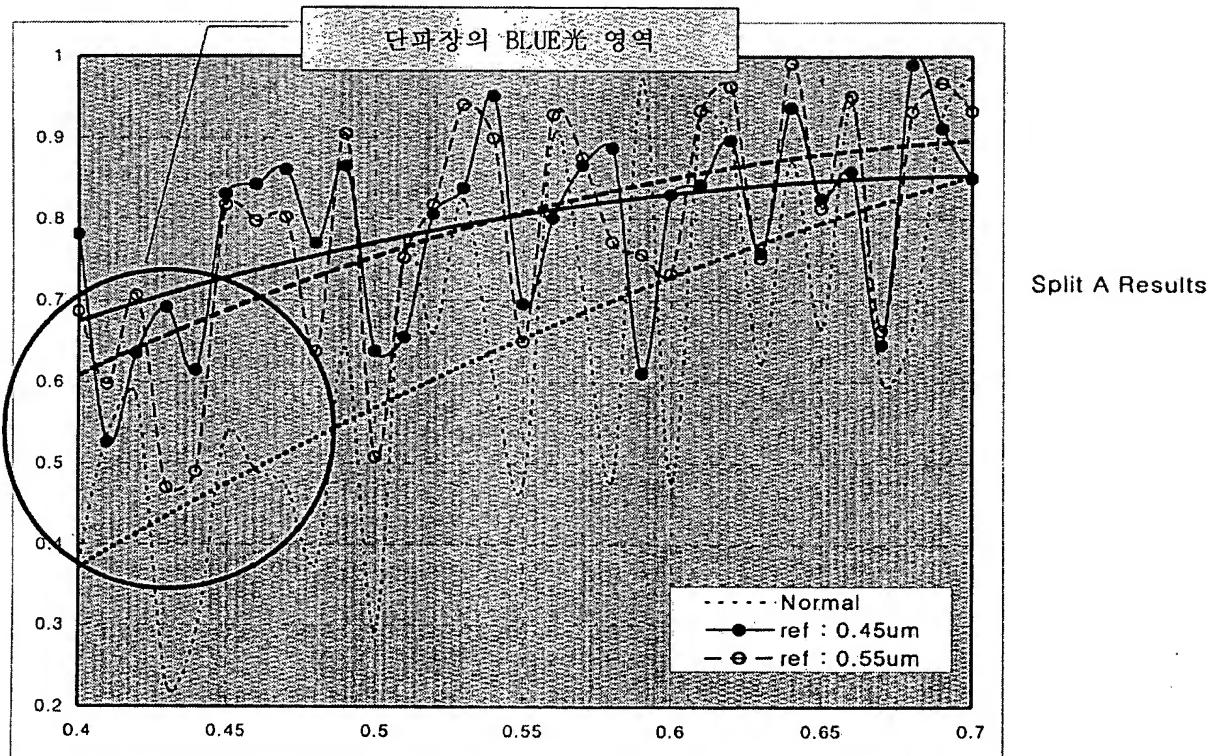
【도 2e】



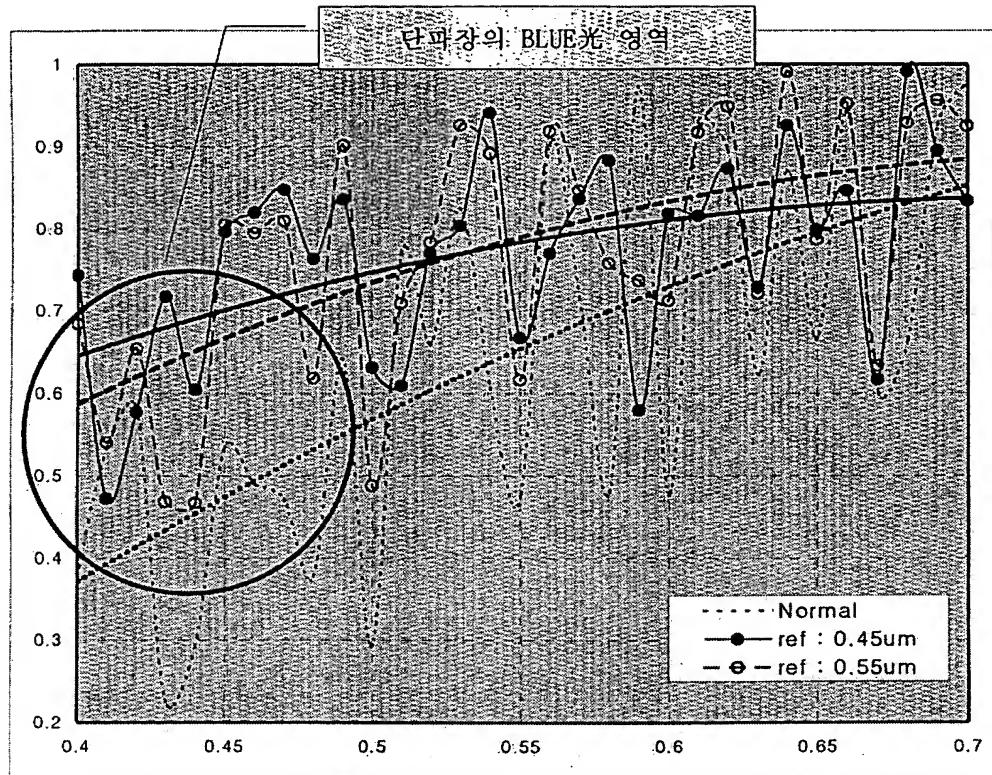
【도 2f】



【도 3a】



【도 3b】



【도 3c】

